

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

23. 8. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年   8 月 1 9 日  
Date of Application:

出 願 番 号      特 願 2 0 0 3 - 2 9 4 8 0 7  
Application Number:  
[ST. 10/C] :      [ J P 2 0 0 3 - 2 9 4 8 0 7 ]

REC'D 15 OCT 2004	
WIPO	PCT

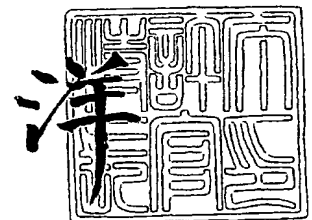
出 願 人      株式会社イデアルスター  
Applicant(s):

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年   9 月 3 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 IDEAL0033  
【提出日】 平成15年 8月19日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/00  
【発明者】  
    【住所又は居所】 宮城県仙台市泉区虹の丘4丁目11番地の12  
    【氏名】 笠間 泰彦  
【発明者】  
    【住所又は居所】 宮城県仙台市泉区住吉台東5丁目13-18  
    【氏名】 表 研次  
【特許出願人】  
    【識別番号】 502344178  
    【氏名又は名称】 株式会社イデアルスター  
【代理人】  
    【識別番号】 100088096  
    【弁理士】  
    【氏名又は名称】 福森 久夫  
    【電話番号】 03-3261-0690  
【手数料の表示】  
    【予納台帳番号】 007467  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0213743

**【書類名】 特許請求の範囲****【請求項 1】**

断面内に、ゲート電極領域、ゲート絶縁領域、第一の半導体領域、第二の半導体領域、及び第三の半導体領域が形成されており、中心にゲート電極領域を有し、その外側に、前記ゲート絶縁領域、開口部を有する前記第一の半導体領域、前記第二の半導体領域、前記第三の半導体領域が順次形成されており、前記第三の半導体領域が前記第一の半導体領域の開口部に接する前記第二の半導体領域上に形成されていることを特徴とする回路領域を含む線状素子。

**【請求項 2】**

断面内に、第一の領域、ゲート電極領域、ゲート絶縁領域、第一の半導体領域、第二の半導体領域、及び第三の半導体領域が形成されており、中心に前記第一の領域を有し、その外側に、前記ゲート電極領域、前記ゲート絶縁領域、開口部を有する前記第一の半導体領域、前記第二の半導体領域、前記第三の半導体領域が順次形成されており、前記第三の半導体領域が前記第一の半導体領域の開口部に接する前記第二の半導体領域上に形成されていることを特徴とする回路領域を含む線状素子。

**【請求項 3】**

断面内に、第一の半導体領域、第二の半導体領域、第三の半導体領域、ゲート絶縁領域、ゲート電極領域が形成されており、中心に第一の半導体領域を有し、その外側に、前記第二の半導体領域、前記第三の半導体領域、前記ゲート絶縁領域、前記ゲート電極領域が順次形成されており、前記第三の半導体領域が開口部を有することを特徴とする回路領域を含む線状素子。

**【請求項 4】**

断面内に、第一の領域、第一の半導体領域、第二の半導体領域、第三の半導体領域、ゲート絶縁領域、ゲート電極領域が形成されており、中心に前記第一の領域を有し、その外側に、第一の半導体領域、前記第二の半導体領域、前記第三の半導体領域、前記ゲート絶縁領域、前記ゲート電極領域が順次形成されており、前記第三の半導体領域が開口部を有することを特徴とする回路領域を含む線状素子。

**【請求項 5】**

前記回路素子が長手方向に連続的又は間欠的に形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項記載の線状素子。

**【請求項 6】**

前記回路素子を形成する複数の断面が長手方向に連続的又は間欠的に形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項記載の線状素子。

**【請求項 7】**

断面形状が円形、多角形、星型、三日月、花卉、文字形状その他の任意形状を有していることを特徴とする請求項 1 乃至 6 のいずれか 1 項記載の線状素子。

**【請求項 8】**

前記第一の半導体領域がソース領域で、前記第三の半導体領域がドレイン領域であることを特徴とする請求項 1 乃至 7 のいずれか 1 項記載の線状素子。

**【請求項 9】**

前記第一の半導体領域がドレイン領域で、前記第三の半導体領域がソース領域であることを特徴とする請求項 1 乃至 7 のいずれか 1 項記載の線状素子。

**【請求項 10】**

前記第一の領域が、中空領域、絶縁体領域、半導体領域、あるいは導電体領域であることを特徴とする請求項 2 あるいは 4 のいずれか 1 項記載の線状素子。

## 【書類名】明細書

## 【発明の名称】線状素子

## 【技術分野】

## 【0001】

本発明は、線状体に形成したMISFETからなる線状素子に関する。

## 【背景技術】

## 【0002】

一本の糸内に回路素子を形成した線状素子、及び線状素子を用いて作成した集積回路は、柔軟性、可撓性を有し、任意の形状の各種装置を作成することが可能である。図8は、回路素子としてMISFETを形成した従来の線状素子の斜視図である。この素子は断面において、中心にゲート電極107を有し、その外側に、ゲート絶縁領域108、ソース領域110、ドレイン領域109、半導体領域112が順次形成されている。一方、図9に示すように、平面状の基板に形成したMISFETにおいて、ソース領域116とドレイン領域118でチャネル領域となる半導体領域117を挟んで、ゲート電極114に対して制御電圧を加え、ソース領域とドレイン領域間で流れる電流を制御する構造のものが知られていた。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

図8に示すMISFETでは、Lで示したMISFETのチャネル長は、絶縁領域108の円周に沿ったソース領域110とドレイン領域109の距離で決定される。線状のMISFETの製造には、半導体領域、ソース領域、ドレイン領域の原料となるゲル状の導電性、あるいは半導体高分子材料を回路素子の断面形状を制御する型に送入、射出して、線状に形成してから固化している。そのため、ゲル状高分子材料の粘度や熱膨張率の不均一性により、チャネル長の均一性や再現性を十分高くすることができない。また、ソース領域、ドレイン領域、絶縁領域を表面に形成したゲート電極をそれぞれ線状体として形成し、各線状体を束ねて図9に示す構造を形成することも可能であるが、チャネル長は束ね処理時の位置精度に依存するため、十分高精度にすることができない。そのため、いずれの場合でもチャネル長として $1\mu\text{m}$ 程度が微細化の限界であり、さらにチャネル長を小さくして、高周波特性などの特性向上や集積度向上が困難であった。

## 【0004】

図9に示すMISFETでは、チャネル長が半導体領域117の厚さで決まるため、回転塗布法などで膜厚、すなわちチャネル長を高精度で制御でき、再現性も良好である。また、膜厚の制御は横方向のパターン加工より高精度で行うことができるので $1\mu\text{m}$ 以下の微細なチャネル長のMISFETを形成することが可能である。しかし、平面基板上に形成したMISFETを使用して集積回路を作製する場合は、集積回路を構成する回路素子にひとつでも欠陥があると集積回路全体が不良になるので、大型化に伴い歩留まり向上が困難になるという問題があった。

## 【課題を解決するための手段】

## 【0005】

MISFETからなる線状素子の構造を、ソース領域とドレイン領域でチャネル領域となる半導体領域を挟む構造とした。半導体領域にゲート絶縁領域を介して制御電圧を加え、ソース領域とドレイン領域間で流れる電流を制御する。

## 【発明の効果】

## 【0006】

MISFETの構造をソース領域とドレイン領域でチャネル領域となる半導体領域を挟む構造としたので、チャネル長が半導体領域の膜厚で決まる。従って、チャネル長の微細化、再現性、均一性の向上が可能になる。

複数の線状素子を用いて集積回路を作製する場合に、各線状素子を検査して、選別した良品だけ用いて集積回路を製造できる。もしくは、集積回路を製造してから、検査を行い、

不良部の線状素子だけを交換することもできるので、集積回路を大型化した場合に、特にプロセス管理を厳密にしなくても、集積回路の歩留まりを向上できる。

線状素子上に長手方向に間欠的に複数のMISFETを形成する場合に、ゲート電極を中心に配置すれば、ゲート電極を共通とする複数のMISFETからなる回路の形成が容易になる。同様に、ソース電極を中心に配置すれば、ソース電極を共通とする複数のMISFETからなる回路の形成が容易になる。また、ドレイン電極を中心に配置すれば、ドレイン電極を共通とする複数のMISFETからなる回路の形成が容易になる。さらに絶縁領域を中心に配置すれば、複数のMISFETの分離が容易にできる。

【発明を実施するための最良の形態】

#### 【0007】

図7は、本発明の線状素子の斜視図である。本発明の線状素子は、ゲート電極101、絶縁領域102、ソース領域103、半導体領域104、及びドレイン領域105により構成されるMISFETである。N型のMISFETを例にとると、図7に示すように、MISFETは、チャネル領域となるP型の半導体領域104をN型のソース領域103、及びN型のドレイン領域105により挟み、半導体領域104に接した絶縁領域102を介してゲート電極101を配置した構造とする。ソース領域103は少なくとも一つの開口部を有し、開口部に対向する位置にドレイン領域105を配置する。ゲート電極101に半導体領域104に対し一定電圧以上の正の電圧を印加すると、ソース領域103とドレイン領域105間における半導体領域104内の電子密度が増加するため、ソース領域103とドレイン領域105が電氣的に導通し、ソース領域103とドレイン領域105間に流れる電流をゲート電極101に印加する電圧により制御できる。

#### 【0008】

図7に示すMISFETのチャネル長は、ソース領域103とドレイン領域105間のLで示す距離であり、半導体領域104の膜厚のみで決まるため、チャネル長を高精度で制御でき、チャネル長の微細化、再現性、均一性の向上が可能である。

#### 【0009】

図7では、ソース領域、ドレイン領域が4つに分割された場合について説明したが、2、3、5など他の分割数のソース、ドレインを有するMISFETの場合であっても本発明の効果が得られることは明らかである。

#### 【0010】

また、図示はしていないが、線状素子の中心となる領域（図7に示す実施例ではゲート電極101）が、その中心に空間を有している場合や、絶縁領域、半導体領域、あるいは導電体領域を有している場合についても、本発明の効果が得られることは明らかである。

#### 【実施例】

##### 【0011】

（線状素子）

図1は本発明の第一実施例の線状素子に係る斜視図である。線状体の断面において、中心にゲート電極1を有し、その外側にゲート絶縁領域2、ソース領域3、半導体領域4、ドレイン領域5が順次形成されている。絶縁領域6は、線状素子の周りに線状素子の保護のために形成される。図1に示す線状素子は長手方向に連続して回路素子が形成されている。

##### 【0012】

図2は本発明の第二実施例の線状素子に係る斜視図である。第一実施例と同様に、線状体の断面において、中心にゲート電極1を有し、その外側にゲート絶縁領域2、ソース領域3、半導体領域4、ドレイン領域5が順次形成されている。絶縁領域6は、線状素子の周りに線状素子の保護のために形成される。ゲート電極1の材料としては、有機導電性材料、無機導電性材料のいずれも使用することが可能である。図2に示す線状素子は長手方向に間欠的に複数の素子が形成されており、線状体は、MISFET領域21、ドレイン電極領域22、絶縁分離領域23、MISFET領域24に分割されている。

## 【0013】

図3(a)は、図2に示す線状素子のMISFET領域21において切断した断面図である。導電性ポリマーからなるゲート電極1を中心に、絶縁性ポリマーからなるゲート絶縁領域2、N型半導体ポリマーからなるソース領域3、P型半導体ポリマーからなる半導体領域4、N型半導体ポリマーからなるドレイン領域5が配置されている。ゲート電極1に半導体領域4に対し正の電圧を印加すると、ゲート絶縁領域2の表面に接する半導体領域4に電子が集まるために、ソース領域3とドレイン領域5が電氣的に導通する。

## 【0014】

図3(b)は、図2に示す線状素子のドレイン領域22において切断した断面図である。半導体領域4の周りに導電性ポリマーからなるドレイン電極7が形成されており、ドレイン領域5と電氣的に接続されている。

## 【0015】

図3(c)は、図2に示す線状素子の絶縁分離領域23において切断した断面図である。絶縁分離領域23においては、ドレイン領域5が配置されておらず、半導体領域4の周りに絶縁性ポリマーからなる絶縁分離領域8が形成されている。

## 【0016】

図2に示す線状素子は、線状体上の複数のMISFETが共通のゲート電極、ソース領域を有し、各MISFETのドレイン領域は互いに独立しているが、各MISFETのゲート電極、ソース領域を互いに切り離し、独立して設けることも可能である。また、複数のMISFETが共通のドレイン電極を有するように形成することも可能である。さらに、ソース領域、ドレイン領域として説明した領域を、それぞれ、ドレイン領域、ソース領域として形成しても、本発明の線状素子がMISFETとして正常に機能し、図2に示した線状素子と同様の発明の効果が得られることは明らかである。

## 【0017】

図4は、本発明の第三実施例の線状素子に係る斜視図である。第三実施例では、線状体の断面において、中心にソース領域31を有し、その外側に半導体領域32、ドレイン領域33、ゲート絶縁領域34、ゲート電極35が順次形成されている。ドレイン領域33は、円周に沿って開口部を有する。絶縁領域36は、線状素子の周りに線状素子の保護のために形成される。本発明の第一実施例、及び第二実施例に係るMISFETが、線状体の内側に形成したゲート電極により、線状体の外側に形成したソース領域とドレイン領域との間における半導体領域の導電性を制御する構造であるのに対し、本発明の第三実施例に係るMISFETは、線状体の外側に形成したゲート電極により、線状体の内側に形成したソース領域とドレイン領域との間における半導体領域の導電性を制御する構造である。ソース領域を中心に配置することで、線状体の長手方向に複数のMISFETを間欠的に配置する場合に、各MISFETのゲート、ドレインを電氣的に分離し、ソースを共通に形成するのが容易になる。MISFETを使用した回路では、ソースを共通にする回路要素が多く使用されることから、ソース構造を中心とした線状素子を使用して集積回路を形成すると、配線構造をより単純な構造にすることができる。さらに、ソース領域、ドレイン領域として説明した領域を、それぞれ、ドレイン領域、ソース領域として形成しても、本発明の線状素子がMISFETとして正常に機能することは明らかである。

## 【0018】

図5は、本発明の第四実施例の線状素子に係る斜視図である。本発明の第四実施例に係るMISFETは、本発明の第三実施例に係るMISFETと異なり、線状体の中心に絶縁領域を配置している。線状体の断面において、中心に絶縁領域57を有し、その外側にソース領域51、半導体領域52、ドレイン領域53、ゲート絶縁領域54、ゲート電極55が順次形成されている。ドレイン領域53は、円周に沿って開口部を有する。絶縁領域56は、線状素子の周りに線状素子の保護のために形成される。線状の絶縁領域を線状体の中心に配置し、線状体の支持体として使用することで、線状体の長手方向に複数のMISFETを間欠的に配置する場合に、各MISFETのゲート、ドレイン、ソース、サブストレートを電氣的に分離するのが容易になる。絶縁領域57の材料としては、有機絶縁性材料、無機絶縁性材料

のいずれも使用することが可能である。

【0019】

図6(a)は、図5に示す線状素子のMISFET領域61において切断した断面図である。絶縁領域57を中心に、N型半導体ポリマーからなるソース領域51、P型半導体ポリマーからなる半導体領域52、N型半導体ポリマーからなるドレイン領域53、絶縁性ポリマーからなるゲート絶縁領域54、導電性ポリマーからなるゲート電極55が配置されている。ゲート電極55に半導体領域52に対し正の電圧を印加すると、ゲート絶縁領域54の表面に接する半導体領域52に電子が集まるために、ソース領域51とドレイン領域53が電氣的に導通する。

【0020】

図6(b)は、図5に示す線状素子のゲート電極領域62において切断した断面図である。ゲート電極55の周りに導電性ポリマーからなる電極領域が形成されている。

【0021】

図6(c)は、図5に示す線状素子の絶縁分離領域63において切断した断面図である。絶縁分離領域63においては、ゲート電極55、ドレイン領域53、ソース領域51が配置されておらず、絶縁領域57の周りに絶縁性ポリマーからなる絶縁分離領域58が形成されている。

【0022】

図6(d)は、図5に示す線状素子のドレイン電極領域64において切断した断面図である。ドレイン領域53の周りに導電性ポリマーからなるドレイン電極59が形成されており、ドレイン領域53と電氣的に接続されている。

【0023】

(線状素子の形状)

本発明における線状素子における外径は、10mm以下が好ましく、5mm以下がより好ましい。1mm以下が好ましく、10 $\mu$ m以下がさらに好ましい。延伸加工を行うことにより1 $\mu$ m、さらには0.1 $\mu$ m以下とすることも可能である。

【0024】

1 $\mu$ m以下の外径を有する極細線状体を型の孔から吐出させて形成しようとする場合には、孔のつまりが生じたり、糸状体の破断が生ずる場合がある。かかる場合には、各領域の線状体をまず形成する。次にこの線状体を島として多くの島を作り、その周囲(海)を溶性のもので取り巻き、それをロート状の口金で束ねて、小口から一本の線状体として吐出させればよい。島成分を増やして海成分を小さくすると極めて細い線状体素子をつくることができる。

他の方法として、一旦太めの線状体素子をつくり、その後長手方向に延伸すればよい。また、溶融した原料をジェット気流に乗せてメルトブローして極細化を図ることも可能である。

【0025】

また、アスペクト比は、押出形成により任意の値とすることができる。紡糸による場合には糸状として1000以上が好ましい。例えば100000あるいはそれ以上も可能である。切断後使用する場合には、10~10000、10以下、さらには1以下、0.1以下として小単位の線状素子としてもよい。

【0026】

線状素子の断面形状は特に限定されない。例えば、円形、多角形、星型その他の形状とすればよい。例えば、複数の頂角が鋭角をなす多角形状であってもよい。

また、各領域の断面も任意にすることができる。素子により、隣接する層との接触面を大きくとりたい場合には、頂角が鋭角となっている多角形状とすることが好ましい。

なお、断面形状を所望の形状とするには、押出しダイスの形状を該所望する形状のものとすれば容易に実現することができる。

最外層の断面を星型あるいは頂角が鋭角をなす形状とした場合、押出し形成後、頂角同士の間の空間に、例えば、ディッピングにより他の任意の材料を埋め込むことができ、素子

の用途によって素子の特性を変化させることができる。

#### 【0027】

なお、半導体層へ不純物をドーピングしたい場合は、溶融原料中に不純物を含有せしめておいてもよいが、押出し形成後、真空室内を線状のまま通過させ、真空室内で例えばイオン注入法などにより不純物をドーピングしてもよい。半導体層が最外層ではなく内部に形成されている場合には、イオン照射エネルギーを制御することにより内層である半導体層のみにイオン注入すればよい。

#### 【0028】

上記製造例は、複数の層を有する素子を押出しにより一体形成する例であるが、素子の基本部を押出しにより線状に形成し、その後該基本部に適宜の方法により被覆を施すことにより形成してもよい。

#### 【0029】

(原材料)

電極、半導体層などの材料としては、導電性高分子を用いることが好ましい。例えば、ポリアセチレン、ポリアセン、(オリゴアセン)、ポリチアジル、ポリチオフエン、ポリ(3-アルキルチオフエン)、オリゴチオフエン、ポリピロール、ポリアニリン、ポリフェニレン等が例示される。これらから導電率などを考慮して電極、あるいは半導体層として選択すればよい。

#### 【0030】

なお、半導体材料としては、例えば、ポリパラフェニレン、ポリチオフエン、ポリ(3-メチルチオフエン)などが好適に用いられる。

また、ソース・ドレイン材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いればよい。n型とするためには、例えば、アルカリ金属(Na、K、Ca)などを混入せしめればよい。 $AsF_5$ / $AsF_3$ や $ClO_4^-$ をドーパントとして用いる場合もある。

#### 【0031】

(製造装置、製造方法)

図10は、線状素子の製造に用いられる押出し装置を示す正面図である。

押出し装置11は、複数の領域を構成するための原料を溶融状態あるいは溶解状態、あるいはゲル状態で保持するための原料容器12、13、14を有している。第10図に示す例では、3個の原料容器を示しているが、製造する線状素子の構成に応じて適宜設ければよい。

原料容器12内の原料は、型15に送られる。型15には、製造しようとする線状素子の断面に応じた射出孔が形成されている。射出孔から射出された線状体は、ローラ17に巻き取られるか、あるいは必要に応じて次の工程に線状のまま送られる。

図1及び図2に示す構造の線状素子を製造する場合には図10に示すような構成が取られる。

#### 【0032】

原料容器12、13、14には、ゲート電極材料、ゲート絶縁領域材料、ソース、ドレイン材料、半導体材料が、それぞれ、溶融あるいは溶解状態、ゲル状態で保持されている。一方、型15には、それぞれの材料容器に連通させて、孔が形成されている。

#### 【0033】

型15は、図11に示すように、中心部には、ゲート電極材料を射出するための複数の孔が形成されている。その外側周辺には、ゲート絶縁領域材料を射出させるための複数の孔が形成されている。そしてその外周にさらにソース、ドレイン材料、半導体材料を射出するための複数の孔が形成されている。ただし、型20において、回路領域に対応する材料を射出するための複数の孔の配置は、実際に製造する線状素子の断面構造に応じて適宜設定すればよく、必ずしも常にゲート電極材料を射出するための孔を中心に配置する必要はない。

#### 【0034】



各原料容器から溶融あるいは溶解状態、ゲル状態の原料を型20に送入し、型から原料を射出すると、各孔から原料は射出し、固化する。その端を引っ張ることにより、糸状に連続して線状発光素子が形成される。

#### 【0035】

線状素子は、ローラ17で巻き取る。あるいは必要に応じて次の工程に糸状のまま送る。例えば、ドーピング処理部18において、酸素イオンを注入、加熱し、絶縁分離領域を形成したり、電極形成処理部19において、導電性ポリマーの塗布などにより、ドレイン電極7を形成する。ドレイン領域5とドレイン電極7を接触させるために、電極を形成する前に半導体領域4の一部を機械的加工や、エッチングなどの方法で除去する。また、図10に図示はしていないが、絶縁性材料を塗布する処理部を設けておくと、図5に示す線状素子を作製する場合に、各MISFET領域の間で絶縁領域57だけ残すように、ゲート電極55、ゲート絶縁領域54、ドレイン領域53、半導体領域52、ソース領域51を機械的加工や、エッチングなどの方法で除去した後、絶縁領域57の周りに絶縁性材料からなる膜を塗布することにより、各MISFETを電氣的に分離することができる。この分離方法は、図2に示す線状素子においても、中心に絶縁領域を配置することにより、実施することが可能になる。

#### 【図面の簡単な説明】

#### 【0036】

【図1】本発明の第一実施例の線状素子に係る斜視図である。

【図2】本発明の第二実施例の線状素子に係る斜視図である。

【図3】(a)は図2に示す線状素子のMISFET領域21において切断した断面図であり、(b)は図2に示す線状素子のドレイン電極領域22において切断した断面図であり、(c)は図2に示す線状素子の絶縁分離領域23において切断した断面図である。

【図4】本発明の第三実施例の線状素子に係る斜視図である。

【図5】本発明の第四実施例の線状素子に係る斜視図である。

【図6】(a)は図5に示す線状素子のMISFET領域61において切断した断面図であり、(b)は図5に示す線状素子のゲート電極領域62において切断した断面図であり、(c)は図5に示す線状素子の絶縁分離領域63において切断した断面図であり、(d)は図5に示す線状素子のドレイン電極領域64において切断した断面図である。

【図7】本発明の線状素子の斜視図である。

【図8】従来の線状素子の斜視図である。

【図9】従来の平面上に形成された回路素子の断面図である。

【図10】本発明の線状素子の製造に用いられる押し出し装置を示す正面図である。

【図11】本発明の線状素子の製造に用いられる押し出し装置で使用する型の平面図である。

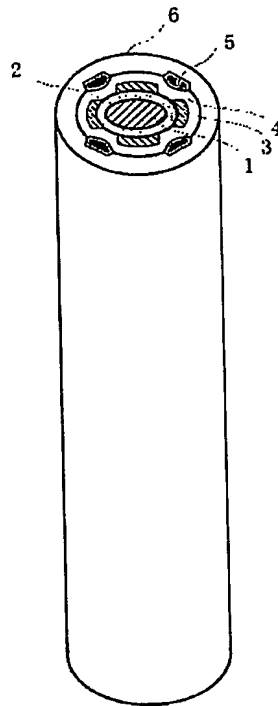
#### 【符号の説明】

#### 【0037】

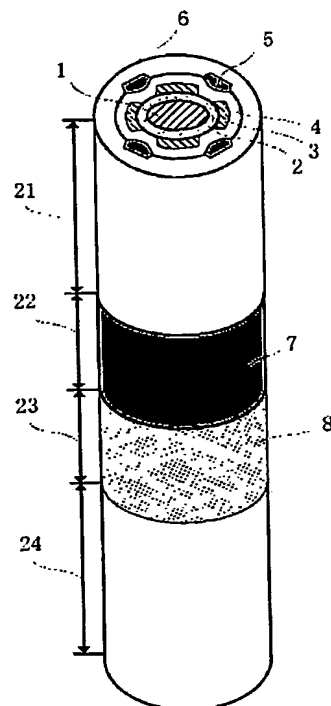
- 1、101、107、35、55   ゲート電極
- 2、102、108、34、54   ゲート絶縁領域
- 3、103、110、31、51   ソース領域
- 4、104、112、32、52   半導体領域
- 5、105、109、33、53   ドレイン領域
- 6、106、36、56、57   絶縁領域
- 7、59   ドレイン電極
- 8、58   絶縁分離領域
- 21、24、41、45、61、65   MISFET領域
- 22、44、64   ドレイン電極領域
- 23、43、63   絶縁分離領域
- 42、62   ゲート電極領域
- 11   押し出し装置

- 1 2 原料 1 容器
- 1 3 原料 2 容器
- 1 4 原料 3 容器
- 1 5、 2 0 型
- 1 6 線状素子
- 1 7 ローラ
- 1 8 ドーピング処理部
- 1 9 電極形成処理部
- 1 1 3 基板
- 1 1 4 ゲート電極
- 1 1 5 ゲート絶縁領域
- 1 1 6 ソース領域
- 1 1 7 半導体領域
- 1 1 8 ドレイン領域
- 1 1 9 絶縁領域

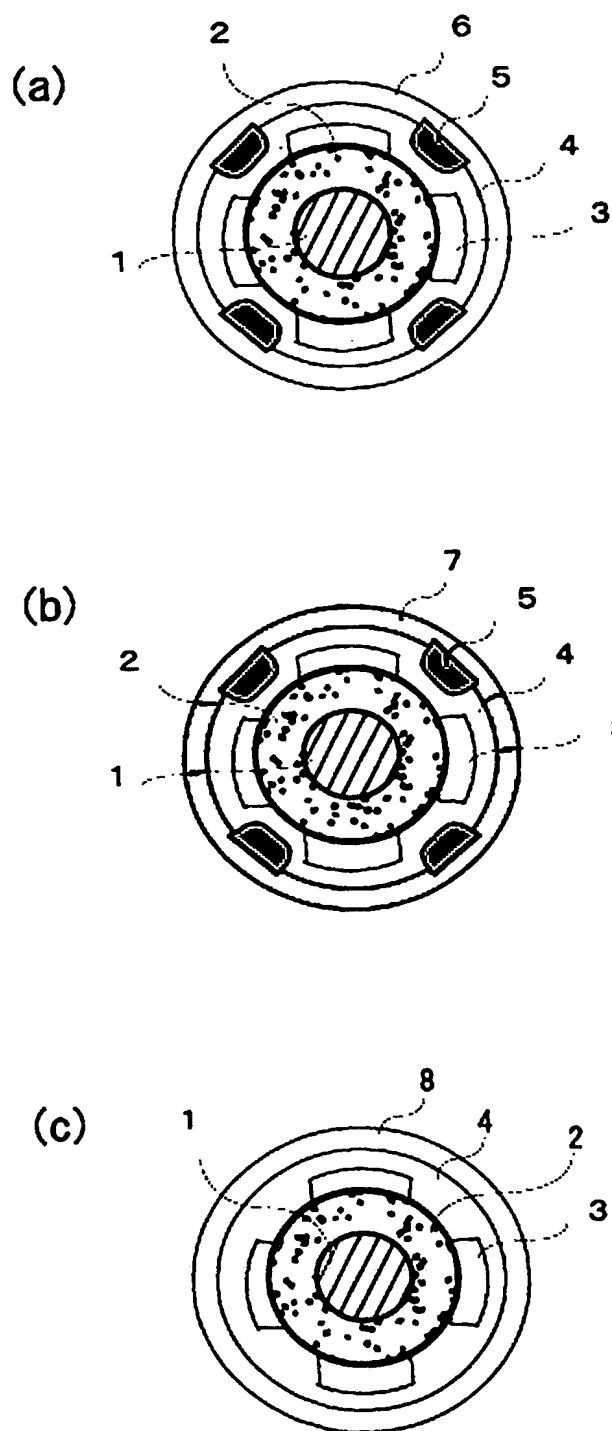
【書類名】 図面  
【図 1】



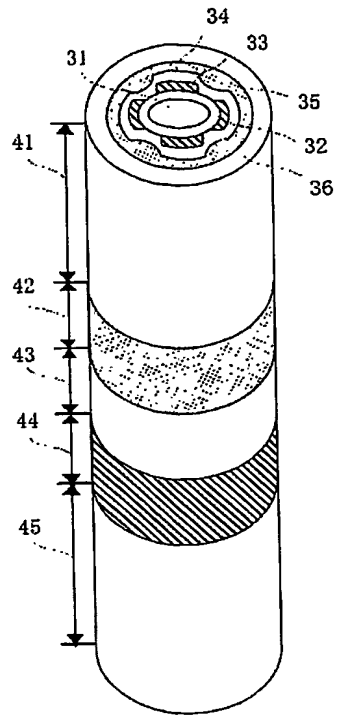
【図 2】



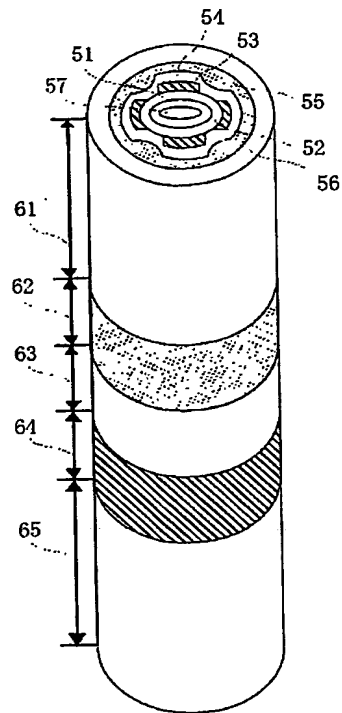
【図 3】



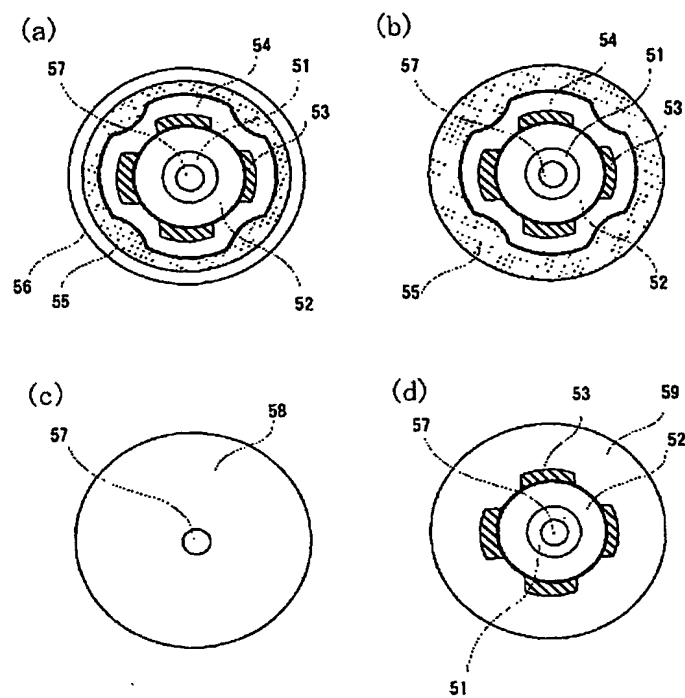
【図 4】



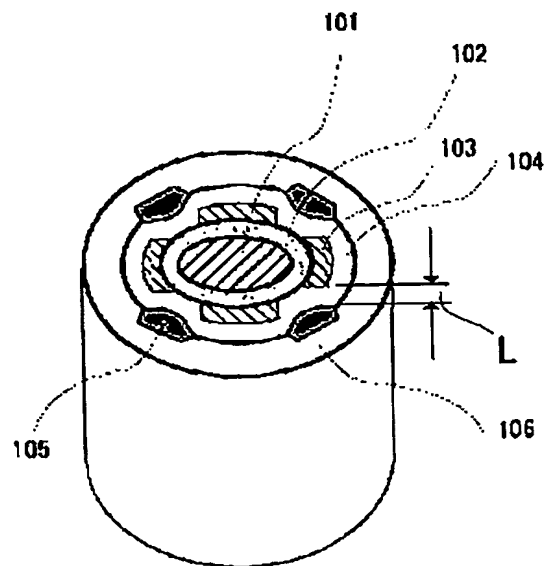
【図 5】



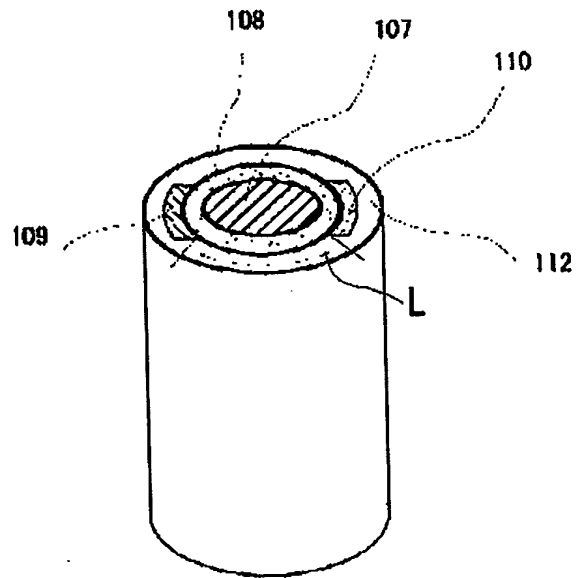
【図 6】



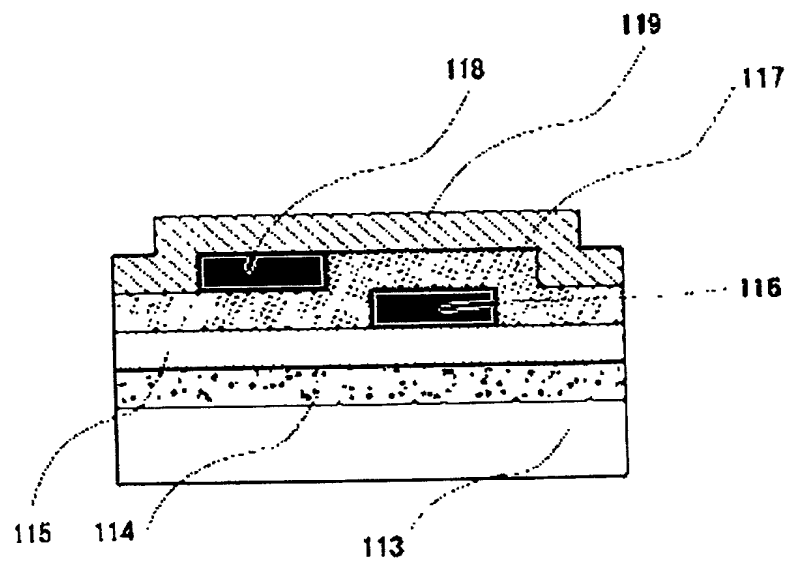
【図 7】



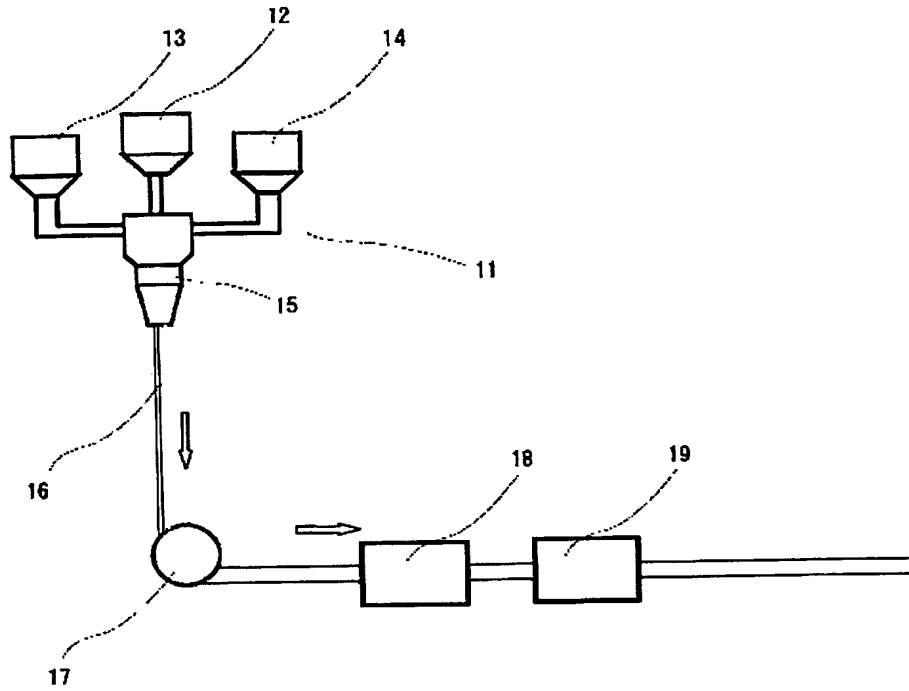
【図 8】



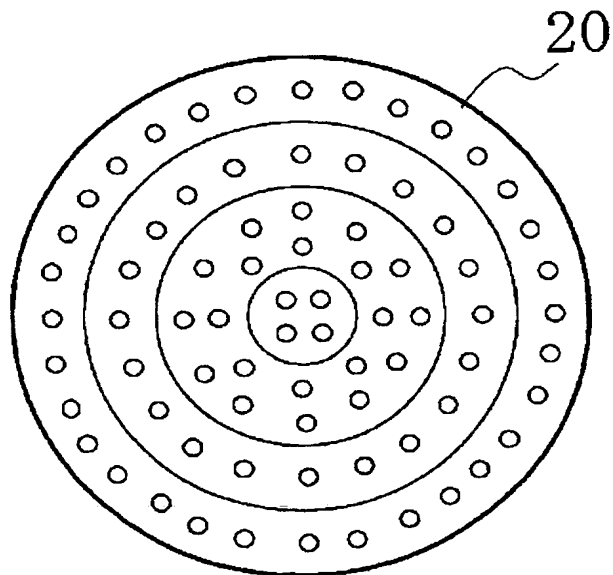
【図 9】



【図 10】



【図 11】





## 【書類名】要約書

## 【要約】

【課題】柔軟性、可撓性があり任意の形状に集積回路を作成できるという特徴を持つ線状のMISFETの構造としては、ソース領域とドレイン領域を並列配置する素子構造が使用されていた。しかし、MISFETの特性を決めるチャネル長が円筒形のゲート絶縁領域に沿ったソース領域とドレイン領域の距離で定まるため、チャネル長の加工精度や再現性の向上が困難であり、またチャネル長を微細化することも困難であるという問題があった。

【解決手段】MISFETの構造を、ソース領域とドレイン領域でチャネル領域となる半導体領域を挟み、かつソース領域とドレイン領域が横方向にずれた配置となる構造とした。半導体領域にゲート絶縁領域を介して制御電圧を加え、ソース領域とドレイン領域間で流れる電流を制御する。MISFETのチャネル長が、半導体領域の膜厚で決まるため、チャネル長の微細化や再現性の向上が可能になる。

## 【選択図】

図 2

特願 2 0 0 3 - 2 9 4 8 0 7

出 願 人 履 歴 情 報

識別番号

[ 5 0 2 3 4 4 1 7 8 ]

1. 変更年月日

2 0 0 2 年 9 月 2 0 日

[変更理由]

新規登録

住 所

宮城県仙台市青葉区南吉成六丁目 6 番地の 3

氏 名

株式会社イデアルスター

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**